

PAT-NO: JP405013678A  
DOCUMENT-IDENTIFIER: JP 05013678 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: January 22, 1993

INVENTOR-INFORMATION:  
NAME  
MATSUKAWA, TOYOHISA

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
KAWASAKI STEEL CORP N/A

APPL-NO: JP03185570  
APPL-DATE: June 28, 1991

INT-CL (IPC): H01L027/04

ABSTRACT:

PURPOSE: To effectively prevent a defect such as a crack from occurring on an insulation film such as a passivation film caused by a stress concentrated on a chip corner due to thermal expansion of a power supply wiring formed along a periphery of a semiconductor substrate on a semiconductor chip.

CONSTITUTION: A protrusion made of a polysilicon layer 20 is formed in the vicinity of an outer side of a corner (wire corner) 16A of a power supply wiring 16 extending along a periphery of a semiconductor substrate 22. A recess is provided between an inner LOCOS layer 26A and an outer LOCOS layer 26B, and the corner 16A of the power supply wiring 16 is placed via an intermediate insulation layer 28 on the recess. The protrusion made of the polysilicon layer 20 is used to suppress thermal expansion of the power supply wiring 16 in a lengthwise direction and in addition the wire corner 16A is made lower than other power supply wiring parts, thereby further improving a suppression effect of the thermal expansion by the protrusion.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-13678

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/04

識別記号

庁内整理番号

D 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平3-185570

(22)出願日 平成3年(1991)6月28日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 松川 豊久

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

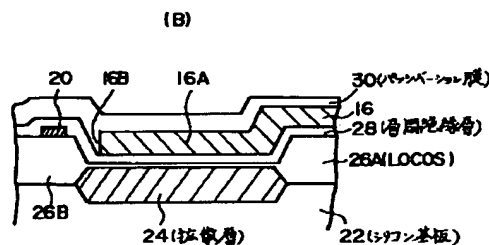
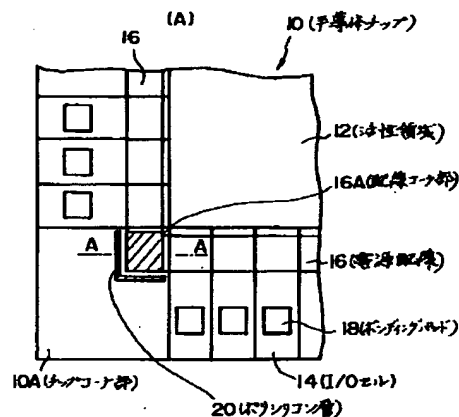
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 半導体チップにおいて、半導体基板の周縁部に沿って形成される電源配線の熱膨張により、チップコーナー部に集中する応力に起因してパッシベーション膜等の絶縁膜にクラック等の欠陥が発生することを有効に防止する。

【構成】 半導体基板22の周縁部に沿って延在する電源配線16のコーナー部(配線コーナー部)16Aの外側近傍にポリシリコン層20からなる隆起部を配設する。内側LOCOS層26Aと外側LOCOS層26Bの間に窪みを設け、該窪み上に中間絶縁層28を介して電源配線16のコーナー部16Aを敷設する。ポリシリコン層20からなる隆起部により電源配線16の長さ方向の熱膨張を抑え込み、且つ配線コーナー部16Aを他の電源配線部分より低くすることにより、上記隆起部による熱膨張の抑え込み効果を更に向上させる。



## 【特許請求の範囲】

【請求項1】半導体基板の周縁部に沿って電源配線が延在されている半導体チップを搭載した半導体装置において、上記電源配線のコーナ部の外側近傍に隆起部を配設し、且つ、上記電源配線のコーナ部の少なくとも外側端部を低く形成したことを特徴とする半導体装置。

【請求項2】請求項1において、電源配線のコーナ部の2箇所以上を部分的に低くしたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体基板の周辺部に、例えばアルミニウム等からなる電源配線が形成されている半導体チップを搭載した半導体装置に関し、特に電源配線の熱膨張に起因する応力が半導体チップのコーナ部に位置する絶縁膜に集中することを防止し、信頼性を向上した半導体装置に関する。

## 【0002】

【従来の技術】半導体装置は、図4に示すような四角形の半導体チップ10を搭載しており、例えば樹脂封止型半導体装置であれば樹脂で封止した状態で使用される。

【0003】前記半導体装置は、シリコン(Si)単結晶からなる半導体基板の1主面にトランジスタ等の内部回路が作り込まれた活性領域12が形成されており、該半導体チップ10の周辺部には、上記内部回路と外部との電気的導通をとるためのI/O(入出力)セル14が形成されている。

【0004】前記入出力セル14の内側領域には、図5の部分拡大平面図に示すように、半導体基板の周縁部に沿って延在するアルミニウム(Al)薄膜からなる電源配線16が形成されており、その外側領域には外部配線を接続するためのボンディングパッド18が形成されている。

【0005】上記電源配線16は、通常層間絶縁膜上に被着形成され、且つ、該電源配線16上にはこの電源配線を初めとして内部の活性領域等をも保護するために、リンシリケートガラス(PSG)等の絶縁膜からなるパッシベーション膜が積層されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記のように半導体基板の周縁部に沿って長い電源配線16が形成されている場合には、製造時の加熱や動作時等の発熱により、該電源配線16の長さ方向の熱膨張に起因する矢印で示す応力が生じ、この2方向の応力が合力としてチップコーナ部10Aに位置する上記パッシベーション膜に集中するため、該パッシベーション膜にクラック等が生じ易いという問題がある。

【0007】特に、樹脂封止型半導体装置の場合は、前

記チップコーナ部10Aに樹脂と半導体基板との熱膨張係数の違いによる応力も加わるため、一層クラック等が発生し易い。

【0008】このようにパッシベーション膜にクラック等が生じると、該クラック等から水分等が浸入して電源配線16や他の配線引いては活性領域12まで腐蝕し、特性劣化を来すことになる。

【0009】本発明は、前記従来の問題点を解決するべくなされたもので、半導体装置が搭載する半導体チップにおいて、半導体基板の周縁部に沿って形成されている電源配線の熱膨張に起因する応力が、チップコーナ部に位置するパッシベーション膜等に集中し該パッシベーションにクラック等の欠陥が発生することを有効に防止することができる、半導体装置を提供することを課題とする。

## 【0010】

【課題を解決するための手段】本発明は、半導体基板の周縁部に沿って電源配線が延在されている半導体チップを搭載した半導体装置において、上記電源配線のコーナ部の外側近傍に隆起部を配設し、且つ、上記電源配線のコーナ部の少なくとも外側端部を低く形成したことにより、前記課題を達成したものである。

【0011】本発明は又、前記半導体装置において、電源配線のコーナ部の2箇所以上を部分的に低くしたことにより、前記課題を更に確実に達成したものである。

## 【0012】

【作用】本発明においては、電源配線のコーナ部(以下、配線コーナ部ともいう)の外側近傍に隆起部を形成したので、電源配線の熱膨張による伸びを該隆起部で抑え込んで応力を吸収すると共に、配線コーナ部の少なくとも外側端部を低くしたので、隆起部による電源配線の伸びを抑え込むことによる応力吸収作用が一層確実に発揮されることを可能とした。

【0013】その結果、電源配線の熱膨張に起因する応力がチップコーナ部に集中することを防止することが可能となり、該チップコーナ部に位置するパッシベーション膜にクラック等の欠陥が発生することを有効に防止することが可能となった。

【0014】又、電源配線のコーナ部の2箇所以上を部分的に低くする場合には、配線コーナ部を下に位置する層間絶縁膜と噛み合った構造にすることができるので、その噛み合い部分でも電源配線の伸びを有効に抑え込むことが可能となり、更に確実にチップコーナ部に位置するパッシベーション膜に対して応力が集中することを防止できるため、該パッシベーション膜にクラック等の欠陥が発生することを一層確実に防止することが可能となる。

## 【0015】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0016】図1(A)は、本発明に係る第1実施例の半導体装置に搭載された半導体チップを示す、前記図5に相当する拡大部分平面図であり、図1(B)は、同図(A)における配線コーナ部を拡大して示すA-A断面図である。

【0017】本発明の半導体装置は、半導体基板の周縁部に沿って延在されたアルミニウムからなる電源配線16が形成された半導体チップを搭載したものである。

【0018】本実施例では、上記電源配線16のコーナ部16Aの外側近傍に、該コーナ部16Aの外側端部に沿ってポリシリコン層(隆起部)20が形成されており、且つ電源配線16の配線コーナ部16Aが、その延在部(該配線コーナ部16Aを除く位置の電源配線部)より低く形成されている。

【0019】即ち、図1(B)の拡大部分断面図に示すように、シリコン単結晶からなる半導体基板(シリコン基板)22上には拡散層24を間に挟んで内側LOCOS層26Aと外側LOCOS層26Bとが配置され、該外側LOCOS層26B上には前記ポリシリコン層20が敷設されている。又、内側LOCOS層26Aと外側LOCOS層26Bとの間の窪みには、該内側LOCOS層26Aの領域から延在された電源配線16のコーナ部16Aが酸化ケイ素等からなる層間絶縁層28を介して敷設されている。更に、上記電源配線16上には、該電源配線16を初めとして他の配線や活性層12における内部配線等を保護するための、例えばリンシリケートガラスからなるパッシベーション膜30が積層されている。

【0020】本実施例では、上述の如く、電源配線16のコーナ部(配線コーナ部)16Aの外側に、ポリシリコン層20からなる隆起部を設けたので、該隆起部により電源配線16の長さ方向の側端部、即ち配線コーナ部16Aの外側端16Bを両方向とも確実に抑えることが可能となるため、電源配線16の長さ方向の熱膨張に起因する応力を吸収することができ、両長さ方向について合成された応力がチップコーナ部10Aに位置するパッシベーション膜30に集中することを防止できる。

【0021】又、本実施例では、前記配線コーナ部16Aを、他の電源配線部分より低くしてあるので、前記隆起部による応力吸収作用を一層確実に発揮させることが可能となる。

【0022】又、本実施例の場合は、前記隆起部を構成するポリシリコン層20を、半導体チップ10の製造プロセスにおける、ポリシリコンからなる配線形成工程で同時に形成することができるため、他に新たな工程を増やす必要がない。

【0023】更に、配線コーナ部16Aを低くするための両LOCOS層26A、26Bの間の窪みは、活性領域12にトランジスタ等を作り込むために行うエッチング工程で同時に形成できるため、該配線コーナ部16A

を低くするためにも新たに工程を追加する必要がない。

【0024】従って、本実施例の半導体装置は、従来通りの製造方法で、しかも工程数を増やすことなく容易に製造することができるという利点もある。

【0025】図2は、本発明に係る第2実施例の半導体装置に搭載された半導体チップに形成されている電源配線のコーナ部近傍を拡大して示す拡大部分平面図であり、図3は、前記電源配線のコーナ部を拡大して示す図2のB-B断面図である。

【0026】本実施例の半導体装置に搭載されている半導体チップは、電源配線16のコーナ部16Aを除き、実質的に前記第1実施例のものと同一である。

【0027】本実施例における電源配線16のコーナ部16Aは、図2に示すように、斜線部分が低く形成され、斜線がないスリット形状部分は該コーナ部16A以外の延在された電源配線部分と略同一の高さに形成されており、図3の断面図で示すように、配線コーナ部16Aの外側端部16Cを含む2箇所以上が低く形成されたものである。

【0028】この配線コーナ部16Aは、前記第1実施例と同様にして形成できる。即ち、配線コーナ部16Aを低くするための窪みは、LOCOS層26をエッチング形成する場合に使用するマスクを、該配線コーナ部16Aに対応する形状にするだけで、全て前記第1実施例の場合と同一の工程で形成することができる。

【0029】本実施例の場合は、前記第1実施例と同様に、電源配線の熱膨張による伸びを、ポリシリコン層20からなる隆起部で確実に抑えることができると同時に、配線コーナ部16Aを下層の絶縁層(LOCOS層26B~26E及び中間絶縁層28等)と噛み合った構造になっているので、その噛み合い部分で電源配線16の長さ方向の伸びを更に確実に抑えることが可能となり、従って、本実施例の場合は、前記第1実施例に比べて一層確実に電源配線の熱膨張に起因する応力を吸収でき、該応力がチップコーナ部10Aのパッシベーション膜30に集中することによる、該パッシベーション膜30に生じるクラック等の欠陥の発生を効果的に防止することができる。

【0030】以上、本発明を具体的に説明したが、本発明は、前記実施例に示したものに限られるものでなく、その要旨を逸脱しない範囲で種々変更可能である。

【0031】例えば、配線コーナ部の外側近傍に配設する隆起部は、ポリシリコン層で形成するものに限るものでなく、使用可能な任意の材料で形成することができる。

【0032】又、隆起部を形成するために、新たな工程を付加してもよい。

【0033】又、配線コーナ部は、少なくともその外側端部が他の電源配線部分より低ければよい。

【0034】又、配線コーナ部の複数箇所を低くする場

合の具体的形状は、特に制限されない。

# 【0035】

【発明の効果】以上説明した通り、本発明によれば、半導体装置に搭載されている半導体チップにおいて、半導体基板の周縁部に沿って形成された電源配線の熱膨脹に起因する応力が、チップコーナ部に位置するパッシベーション膜に集中し、該パッシベーションにクラック等の欠陥が発生することを有効に防止することができる。従って、半導体装置の信頼性を大幅に向上させることができる。

# 【図面の簡単な説明】

【図1】図1(A)は、第1実施例の半導体装置に搭載された半導体チップを示す拡大部分平面図、図1(B)は、同図(A)におけるA-A断面図である。

【図2】図2は、第2実施例の半導体装置に搭載された半導体チップに形成された電源配線のコーナ部近傍を示す拡大部分平面図である。

【図3】図3は、図2におけるB-B断面図である。

【図4】図4は、通常の半導体チップを示す概略平面図

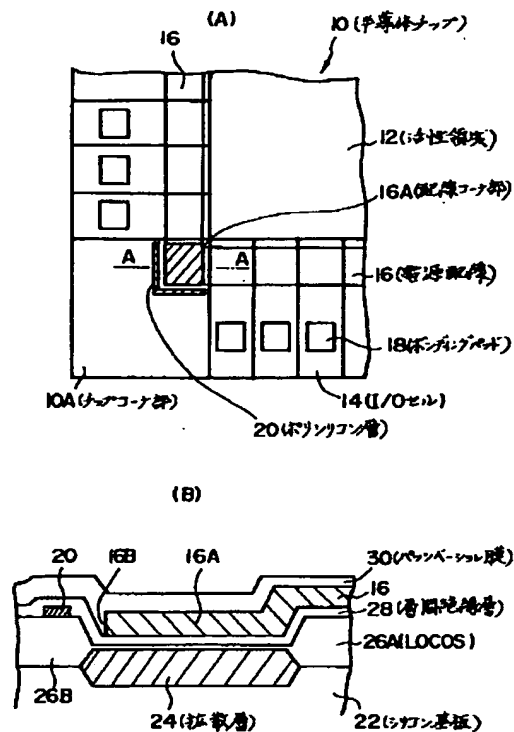
である。

【図5】図5は、図4の半導体チップの要部を示す拡大部分平面図である。

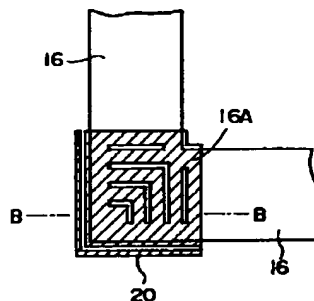
# 【符号の説明】

- 10…半導体チップ、
- 10A…チップコーナ部、
- 12…活性領域、
- 14…I/Oセル、
- 16…電源配線、
- 16A…配線コーナ部、
- 18…ボンディングパッド、
- 20…ポリシリコン層、
- 22…半導体基板、
- 24…拡散層、
- 26…LOCOS層、
- 26A…内側LOCOS層、
- 26B…外側LOCOS層、
- 28…層間絶縁層、
- 30…パッシベーション膜。

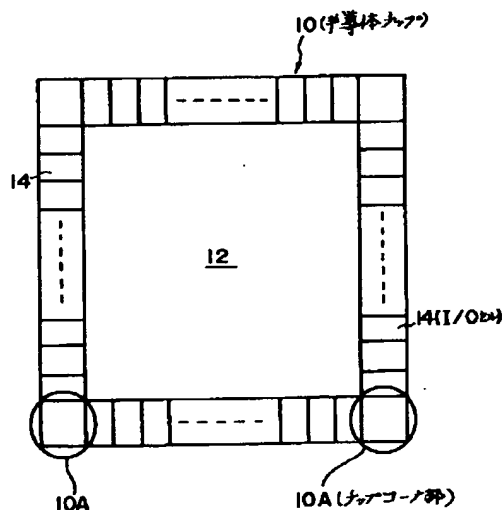
【図1】



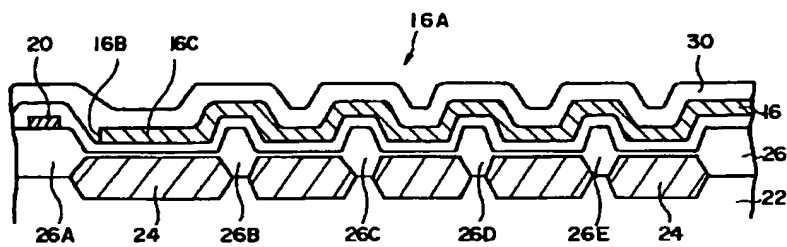
【図2】



【図4】



【図3】



【図5】

